

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11008559 A**

(43) Date of publication of application: 12 . 01 . 99

(51) Int. Cl.

H03M 7/30
G10L 7/04
G10L 9/18

(21) Application number: 10005940

(22) Date of filing: 14 . 01 . 98

(30) Priority: 15 . 01 . 97 KR 97 9701025

(71) Applicant: **KOREA TELECOMMUN**

(72) Inventor: **KAN EITAI**
KYO TAIKYO
KO SHOSEKI
KWON SOON HONG

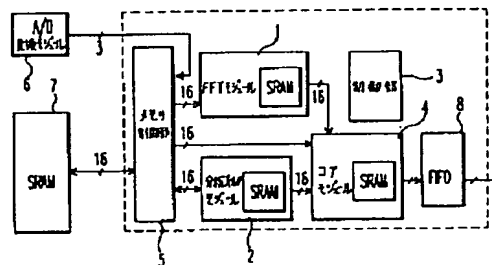
(54) **MPEG-II AUDIO ENCODING DEVICE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an encoder which enables real time processing of MPEG-II audio encoding process requiring a large amount of operation for a many kinds of works.

SOLUTION: For audio data A/D converted by an A/D converting part 6 and stored in a memory 7 for units of a frame, high-speed Fourier transform FFT operation is performed for each channel by an FFT part 1, analysis filtering is performed by an analysis filtering part 2, the processing result is outputted to the memory 7 again, and psychological acoustic operation is performed from the processing result of the FFT part 1 by a processor core part 4. Then, a scale coefficient is calculated by the output of the analysis filtering part 2, and while using the result of this psychological acoustic operation, a final output bit string is outputted via a FIFO 8. In this case, processor efficiency is improved by utilizing an applied special processor for effectively executing the complicated algorithm, an FFT and an analysis filter engine are added, calculation ability is improved by forming a pipeline for each module to independently process routines, so that a system use degree is made maximal.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8559

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁹

識別記号

F I

H 0 3 M 7/30

H 0 3 M 7/30

A

G 1 0 L 7/04

G 1 0 L 7/04

G

9/18

9/18

C

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平10-5940

(71) 出願人 394027641

韓国電気通信公社

(22) 出願日 平成10年(1998) 1月14日

大韓民国ソウル特別市鍾路区世宗路100

(31) 優先権主張番号 97-1025

(72) 発明者 韓 英泰

大韓民国ソウル特別市鍾路区世宗路100番地

(32) 優先日 1997年 1月15日

(72) 発明者 姜 垚鎭

大韓民国ソウル特別市鍾路区世宗路100番地

(33) 優先権主張国 韓国 (K R)

(72) 発明者 高 鍾錫

大韓民国ソウル特別市鍾路区世宗路100番地

(74) 代理人 弁理士 杉村 曉秀 (外 5 名)

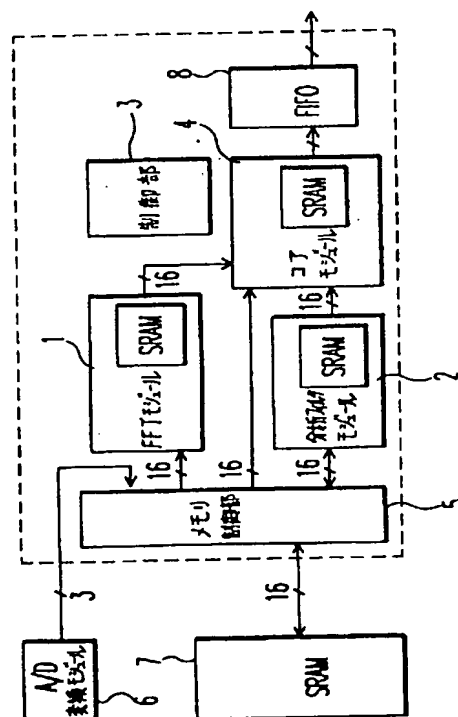
最終頁に続く

(54) 【発明の名称】 MPEG-11 オーディオ符号化装置

(57) 【要約】

【課題】 多種類の作業のための多量の演算を必要とするMPEG-11オーディオ符号化過程の実時間処理を具現し得るMPEG-11オーディオ符号化器を提供する。

【解決手段】 A/D 変換部6でA/D 変換されフレーム単位でメモリ7に貯蔵されたオーディオデータを、FFT 部1でチャンネル別にFFT 演算すると共に分析フィルタ部2で分析フィルタリングして処理結果をメモリ7に再出力し、プロセッサコア部4により、FFT 部1の処理結果から心理音響演算を行い、分析フィルタ部2の出力でスケール係数を計算すると共に前記心理音響演算の結果を用いて割当てた最終出力ビット列をFIFO8を介して出力するように構成し、複雑なアルゴリズムを効果的に行う応用特殊プロセッサを利用し、プロセッサ効率を向上させ、FFT、分析フィルタエンジンを付加し、各モジュールが独立にルーチン処理するパイプラインを形成して計算能力を増大させ、システム使用度を極大化する。



【特許請求の範囲】

【請求項 1】 MPEG-11オーディオ符号化装置において、

多数のチャネルに入力されるオーディオデータ信号をA/D変換するA/D変換部と、
前記A/D変換部で変換されたオーディオデータを以後の処理のためフレーム単位で貯蔵するメモリと、
前記メモリに貯蔵されたオーディオデータを入力されチャネル別にFFT演算（Fast Fourier Transform；高速フーリエ変換）するFFT部と、
前記メモリに貯蔵されたオーディオデータを入力され分析フィルタリングし、処理結果を再びメモリに出力する分析フィルタ部と、
前記FFT部の処理結果から心理音響演算を行い、前記分析フィルタ部の出力によりスケール係数を計算すると共に、前記心理音響演算の結果を利用してビットを割当てこの割当の結果を最終出力ビット列として出力するコア部と、
前記コア部の最終出力ビット列を外部に出力する出力バッファ部とを具備して成ることを特徴とするMPEG-11オーディオ符号化装置。

【請求項 2】 前記FFT部及び分析フィルタ部は、ハードワイヤードロジックに設計することを特徴とする請求項 1記載のMPEG-11オーディオ符号化装置。

【請求項 3】 前記分析フィルタ部の処理は、前記FFT部およびコア部の処理と同時に並列に行うことを特徴とする請求項 1記載のMPEG-11オーディオ符号化装置。

【請求項 4】 前記コア部は、前記FFT部から出力データをチャネル別に受けてパイプライン構造で処理することを特徴とする請求項 1記載のMPEG-11オーディオ符号化装置。

【請求項 5】 前記コア部は、
内部制御プログラムを貯蔵するプログラムメモリと、
制御に必要なデータを貯蔵するデータメモリと、
プログラムフェッチを制御するプログラムシーケンサ部と、
データ入出力を制御するデータアドレス発生部と、
算術論理演算を行う算術論理演算部と、
プログラムメモリアドレスバス及びプログラムメモリデータバスと、
データメモリアドレスバス及びデータメモリデータバスと、
外部とのデータ入出力制御信号及び内部制御信号を発生する制御部とを具備して成ることを特徴とする、請求項 3記載のMPEG-11オーディオ符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、HDTV、DVD等の次世代デジタル映像媒体に採用される圧縮アルゴリズムである、画像、音声のコーディングを含むMPEG-11を用

いる装置に関し、特に、圧縮アルゴリズムの構成中の音声圧縮アルゴリズムの具現のためのMPEG-11オーディオ符号化装置に関するものである。

【0002】

【従来の技術】MPEG-11オーディオ符号化方式は高音質オーディオ圧縮の標準案であり、サブバンド分析及び心理音響モデルを基盤にしている。このような符号化方式は、多大な計算量を含むため実時間処理の具現に数多い困難が伴い、既存のDSP構造を用いる場合、システムの複雑度が増加することがある。このため、本発明は、応用特殊プロセッサ（Application Specific Processor）に基盤を置いたMPEG-11オーディオ符号化装置として構成する。

【0003】

【発明が解決しようとする課題】本発明は、このようなMPEG-11オーディオ符号化のための専用のDSPに適した算術論理演算部の構造に関するものである。本発明は、さらに具体的には、単一のDSPコアを利用して複数のチャネルを支援するMPEG-11オーディオコーディングを実時間で支援するために必要な算術論理演算を速やかに行うことができる構造を示すものである。

【0004】上記MPEG-11オーディオ符号化過程は、分析フィルタおよび1024ポイントFFT（Fast Fourier Transform；高速フーリエ変換）を含む心理音響モデル作成、ビット割当、量子化、多チャネル処理、ビット列形成のような多様な種類の作業で構成されており、5つの入力チャネルに対しこのような過程を全て適用しなければならないため、多数の演算量により実時間処理の具現に困難が伴う。

【0005】上記問題を解決するため、本発明は、システムを制御して複雑なアルゴリズムを効果的に行うことができる特別なプロセッサコアを利用することにより、オーディオ符号化器を具現することを目的とする。本発明はさらに、FFTおよび分析フィルタエンジンを付加することにより、プロセッサの効率を高め、計算能力を増大させることを目的とする。本発明はさらに、各モジュールが互いに独立したルーチンを処理してパイプラインを形成するよう構成することにより、システムの使用度を極大化することを目的とする。

【0006】

【課題を解決するための手段及び作用】前記目的を達成するため本発明は、MPEG-11オーディオ符号化装置において、多数のチャネルに入力されるオーディオデータ信号をA/D変換するA/D変換部（6）と、前記A/D変換部で変換されたオーディオデータを以後の処理のためフレーム単位で貯蔵するメモリ（7）と、前記メモリに貯蔵されたオーディオデータを入力されチャネル別にFFT演算するFFT部（1）と、前記メモリに貯蔵されたオーディオデータを入力され分析フィルタリングし、処理結果を再びメモリに出力する分析フィルタ部（2）と、前記

FFT 部の処理結果から心理音響演算を行い、前記分析フィルタ部(2)の出力によりスケール係数を計算すると共に、前記心理音響演算の結果を利用してビットを割当てこの割当ての結果を最終出力ビット列として出力するコア部(4)と、前記コア部の最終出力ビット列を外部に出力する出力バッファ部(8)とを具備して成ることを特徴とする。

【0007】さらに、本発明は、前記FFT 部(1)及び分析フィルタ部(2)は、ハードワイヤードロジックに設計することを特徴とする。

【0008】さらに、本発明は、前記分析フィルタ部(2)の処理は、前記FFT 部(1)およびコア部(4)の処理と同時に並列に行うことを特徴とする。

【0009】さらに、本発明は、前記コア部(4)は、前記FFT 部(1)から出力データをチャンネル別に受けてパイプライン構造で処理することを特徴とする。

【0010】さらに、本発明は、前記コア部(4)は、内部制御プログラムを貯蔵するプログラムメモリ(12)と、制御に必要なデータを貯蔵するデータメモリ(13)と、プログラムフェッチを制御するプログラムシーケンサ部(10、11)と、データ入出力を制御するデータアドレス発生部(15)と、算術論理演算を行う算術論理演算部(14)と、プログラムメモリアドレスバス(16)及びプログラムメモリデータバス(17)と、データメモリアドレスバス(18)及びデータメモリデータバス(19)と、外部とのデータ入出力制御信号及び内部制御信号を発生する制御部(9)とを具備して成ることを特徴とする。

【0011】

【作用】MPEG-IIオーディオ符号化過程は計算量が膨大なため、本発明ではこれを実時間で具現するため、符号化過程全体を幾つかの補助ブロックに分けて処理する。前述した目的を達成するため、本発明では、多数の計算量を有する反面、同一の動作を反復する分析フィルタ(Analysis Filter)及びFFT のルーチンと、知能的な判断を必要とする心理音響モデリング及びビット列生成ルーチン過程を処理するコア(Core)との3ブロックにシステム全体を分けている。

【0012】

【発明の実施の形態】以下、添付の図面を参照して本発明の好ましい実施の形態を詳細に説明する。図1は、本発明を適用するMPEG-IIオーディオ符号化器の一実施の形態の全体構成を示すシステム図であり、図中、点線で示した部分は1つのチップに具現されている。

【0013】MPEG-IIオーディオシステムの心理音響モデリングでは、FFT 出力から信号のマスクング曲線を求める部分で、分析フィルタ及びFFT ルーチンの次に多数の計算を必要とする。また、ビット列生成ルーチンでは、分析フィルタの出力を用いてスケール係数(Scale Factor)を求め、多チャンネル処理を経た後、心理音響モ

デリングで求めたマスクング曲線を利用してビットを割り当て、このビット割当て情報で最終ビット列を生成する一連の処理がコアブロックで最後に行われる。

【0014】前述した3つのブロックの処理は、ISO / IEC、13818-3、MPEG-II標準案に定義されたフレーム単位で行われ、分析フィルタ及びFFT のルーチン、並びに心理音響モデルを経てビット列を生成するルーチンにより1つのフレームの処理が終了する。

【0015】反復的に与えられた演算のみを行う分析フィルタ及びFFT のルーチンは、ハードワイヤード(Hard wired)ロジックに設計されたモジュール及び制御器を利用することにより効果的に作業を行うことができるが、このルーチン以外の心理音響モデリング及びビット列生成ルーチンは、入力データによりその動作態様が変化する作業であり、マイクロプログラミングされた制御器がハードワイヤードロジックに製作された制御器よりも効果的に作業を行う。

【0016】さらに、多チャンネル処理を要求するMPEG-IIの特性上、5つのプロセッサを利用したアルゴリズム具現方法が提案され得るが、この場合、5つのプロセッサの間の情報交換及び同期化を担当する制御器が追加して要求され、システムの複雑度を増加させる。そこで、多数のプロセッサ要素等を用いる代りに、速やかで効果的なDSP コアを1つだけを用いることによりシステムの複雑性を低下させることができる。本実施形態では、MPEG-II符号化アルゴリズムのこのような特性を考慮して、分析フィルタ及びFFT ルーチンは別途のブロックに作成し、入力信号に対して並列に処理を行うようにし、MPEG-II符号化に用いる複雑なアルゴリズムを効果的に実施することができる特別なプロセッサコアを設計して心理音響モデル及びビット列生成ルーチンを1つのプロセッサコアが全て処理するようにしている。それにより、複雑性、費用対性能比面で効果的なシステムを具現することができる。

【0017】図1において、A/D 変換された左、右、中央、左側のサラウンド、右側のサラウンド、低域周波数補強(Low Frequency Enhancement)の6チャンネルのデータは、メモリ制御部(Memory Management Unit)

(5)を介してチップの外部メモリであるSRAM(7)に入力され、その中に1フレームに該当するデータとして貯蔵される。ここで、A/D 変換器であるA/D 変換モジュール(6)はシリアルA/Dを用いており、1つのA/D 変換器が2チャンネルを担当する。

【0018】1フレームのデータが外部メモリ(7)に貯蔵されると、FFT 部であるFFT モジュール(1)は、1024サンプル単位でメモリ制御部(5)を介して外部メモリ(7)からデータを受け入れ、1チャンネルに対するFFT 演算を行う。一方、分析フィルタ部である分析フィルタモジュール(2)は、32サンプル単位でメモリ制御部(5)を介して外部メモリ(7)からデータを受

け入れて演算を行い、結果データを32サンプル単位でメモリ制御部(5)を介して外部メモリ(7)にチャンネル別に貯蔵する。

【0019】コアモジュール(4)は、分析フィルタモジュール(2)で分析フィルタリングした結果データ及びFFTモジュール(1)でFFT演算処理した結果データをメモリ制御部(5)を介して外部メモリ(7)から受け入れ、心理音響モデル作成、ビット割当、量子化、多チャンネル処理、ビット列形成のような多様な種類の作業を行う。ピックアップされたビット列はFIFO(8)を介してバイト単位で出力される。

【0020】本実施形態において具現したMPEG-1オーディオ符号化器の各モジュールは、演算に用いるメモリ及びモジュール間のデータ交換を担当するバッファを内部に具えている。FFTモジュール(FFT演算器)(1)は、1K×16ビットROM及び1K×32ビットメモリを有しており、分析フィルタモジュール(2)は、1.5K×16ビットROM及び2.5K×16ビットメモリを有している。プロセッサコア部であるコアモジュール(4)は、メモリとして2048×25ビットプログラムROM及び3072×16ビットデータROM、並びに2048×16ビットメモリを有している。さらに、A/D変換モジュール(6)を介して入力されたオーディオデータ及び分析フィルタ処理された出力を貯蔵するために外部メモリ(7)が設けられている。

【0021】図2は、図1のMPEG-1オーディオ符号化器に対する動作タイミングを説明するための図であり、動作過程は以下の通りである。分析フィルタモジュール(2)はチャンネル当り1152個の入力サンプルに対し最大5つのチャンネルまで作業を行い、FFT部(1)はチャンネル当り1024個のサンプルに対し最大7つのチャンネルまで作業を行う。上記2ブロックが作業する間、プロセッサコア部(4)はFFT出力を利用して心理音響モデル作成処理の作業を行うことになるが、これら作業の3つのルーチンが全て終了すると、プロセッサコア部

(4)は分析フィルタ出力及び心理音響モデル出力を利用してビット列を生成する。

【0022】上記作業においては、フレームの始めの部分では分析フィルタ及びFFTルーチン並びに心理音響モデルが並列的に処理されるが、特にFFTルーチンおよび心理音響モデルの処理は各チャンネル毎にパイプラインされて行われる。これをFFTルーチンの演算時間を実施単位に設定して説明すると以下の通りである。

【0023】図2の1番目の時間区間では、FFTモジュール(1)は1番目のチャンネル(CH0)に対しFFTルーチンを行う。2番目の時間区間では、プロセッサコア部(4)は1番目のチャンネルに対するFFT演算結果を利用して心理音響モデル演算を行い、これと同時にFFTモジュール(1)は2番目のチャンネル(CH1)に対するFFTルーチンを行う。このような方式で7番目の時間区間では、6番目のチャンネル(CH5)に対する心理音響モデル

演算及び7番目のチャンネル(CH6)に対するFFT演算を行い、最後に8番目の時間区間では、7番目のチャンネル(CH6)に対する心理音響モデル演算を行うことにより、全チャンネルに対するFFT演算及び心理音響モデル演算を終了することになる。さらに、5チャンネルに対する分析フィルタリング演算は7チャンネルのFFT演算終了時間内に行われる。このような演算アルゴリズムとした理由は、心理音響モデル演算にはFFT演算の結果が必要であるが、分析フィルタリング演算は他演算部の演算結果とは関りなく独立的に実施可能なためである。即ち、他演算部とデータ交換がないためである。

【0024】前述したパイプラインが効果的に行われるためには、各段階に該当する作業が同一時間に終了し、処理時間の差から発生する入出力渋滞現象が解消されるようにしなければならない。即ち、1つのチャンネルに対する心理音響モデルの実施時間及びFFTルーチンの処理時間が等しくなる場合に、最大のプロセッシング効率を得ることができる。心理音響モデルの実施時間は27MHzクロックに換算して約43000サイクル(cycle)程度を必要とし、1チャンネルに対する1024ポイントFFT演算は約45000サイクルに至って完了する。

【0025】図2に示すフレームの後半部に残る6つの時間区間では、プロセッサコア部(4)は、分析フィルタモジュール(2)の出力及び心理音響モデルの出力からビット列を生成することになる。心理音響モデルの演算が終了すると、プロセッサコア部(4)が分析フィルタモジュール(2)の出力に対しビット列生成作業を行うので、分析フィルタモジュール(2)は前半部の8つの時間区間の間に5チャンネルに対する分析フィルタリングを行う。

【0026】図3は、MPEG-1オーディオ符号化用DSPコアのブロック図である。MPEG-1オーディオ符号化用DSPコアは、システムの複雑性を低下させる面でアルゴリズムを具現するために1つのDSPコアのみを用いており、このため、以下の事項を考慮して設計されている。第1に、命令語実施時間を短くし、DSPコアの命令語実施能力を極大化する。即ち、単位時間内に可能な多数の命令語を実施することができるよう設計する。第2に、アルゴリズム具現のため頻繁に用いる関数は、できるだけ特別に製作した命令語を用いて解決する。これにより、アルゴリズム具現に必要な命令語の絶対量を減少させて全体実施時間を減少させることができる。

【0027】図3は、本発明のDSPコアの一実施形態になり得る3つの独立的なユニットを有しているプロセッサコアのブロック図であり、そのアーキテクチャ(Architecture)の構成は速やかな実施速度を得るため命令語水準パイプラインで具現している。本発明では、命令語プリフェッチ(prefetch)及び実施(Execute)の2つの段階(Stage)を有するパイプライン構造に読み取り(Read)段階を追加して、プリフェッチ、被演算部読み

取り (Operand Read) 及び実施の 3 段階のパイプライン構造としてアーキテクチャを設計している。

【0028】パイプラインを具現するためにはそれぞれの段階が完全に独立的でなければならない。即ち、プリフェッチ、読取り及び実施の各段階で資源 (Resource) の共有が生じないようにしなければならない。このため、3つの独立的なユニットが要求される。まず、命令語フェッチ及びデータの操作 (Manipulation) を独立させるため、ハーバードアーキテクチャ (Harvard Architecture) ; メモリ入出力帯域幅を拡大するため独立的なメモリを数個用いて独立的に同時にアクセス可能となるよう具現したメモリ構造、本実施形態ではプログラムメモリ (12) 及びデータメモリ (13) を独立的に構成する) を採用した。細部的には、プログラムプリフェッチのためのプログラムアドレスを生成させるプログラムシーケンサ (11) と、データ読取りのためのアドレスを生成させるデータアドレス発生部であるデータアドレス発生ユニット (data address generator unit) (15) と、データを処理する (命令語を実施する) 算術論理演算部 (Arithmetic and Logic Unit) である演算処理部 (14) とに分離した。

【0029】プログラムシーケンサ (11) のブロックは、命令語フェッチを担当する。プログラムシーケンサ (11) は各クロック毎に次に行う命令語をプリフェッチする。データアドレス発生部 (15) のブロックは、読取り段階で用いるデータのアドレスを、簡単な足し算演算を行うユニットを利用して作成する。算術論理演算部 (14) のブロックは、MPEG-IIオーディオ符号化器から要求される全ての演算を行う。まず基本的には、足し算、引算及び掛算を行うとともに、システム制御信号を作成するためAND、OR、XOR及びNOTの論理演算を行う。特に、掛算と足し算を同時に行うMAC (Multiply & Accumulate) 演算のため掛算器及び足し算器が直列に連結されている。MPEG-IIアルゴリズムでは頻度数が多い演算が用いられるが、特別な命令語において1クロックに至って演算を行うことができるようにした。即ち、このような応用特殊命令 (Application Specific Instruction) を介して1つのプロセッサコアを有するMPEG-IIオーディオ符号化器の実時間処理の具現が可能となるようにする。

【0030】

【発明の効果】以上詳細に説明したように、本発明は、MPEG-IIオーディオ符号化器を単一の応用特殊信号処理

プロセッサ (Application Specific Digital Signal Processor) を利用して不規則的な演算を行い、その他の規則反復的な演算であるFFT、分析フィルタリング等の演算はハードワイヤードロジックを採用した専用のプロセッサで具現し、各処理ブロック間のデータ入出力関係を考慮したパイプライン構造を採用するとともに並列処理を利用して、大規模な計算を要求するMPEG-IIオーディオコーディングアルゴリズムを実時間処理が可能となるように経済的な構造によって具現したものである。

【0031】なお、上述した本発明の好ましい実施の形態は例示の目的のため開示されたものであり、当業者であれば本発明の思想と範囲内で多様な修正、変更、付加等を行うことが可能であり、このような修正変更等は特許請求範囲に属するものと見なすべきものである。

【図面の簡単な説明】

【図1】図1は、本発明を適用するMPEG-IIオーディオ符号化器の一実施の形態の全体構成を示すシステム図である。

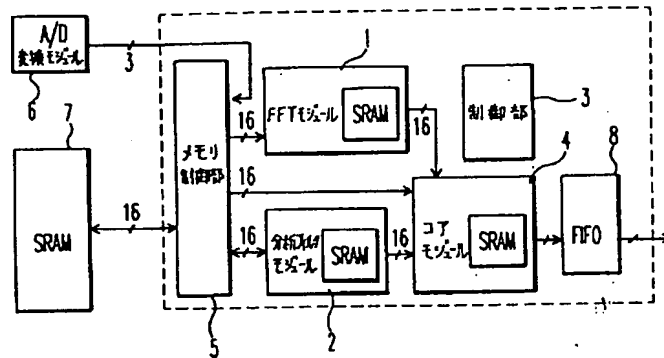
【図2】図2は、図1のMPEG-IIオーディオ符号化器に対する動作タイミングを説明するための図である。

【図3】図3は、MPEG-IIオーディオ符号化用DSPコアのブロック図である。

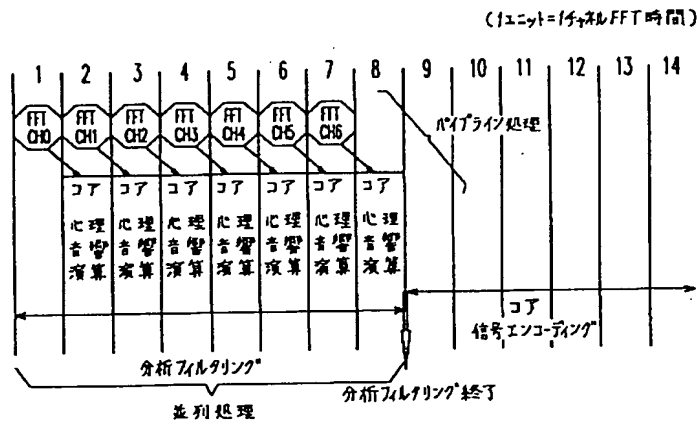
【符号の説明】

- 1 FFT 部 (FFT モジュール)
- 2 分析フィルタ部 (分析フィルタモジュール)
- 3 制御部
- 4 プロセッサコア部 (コアモジュール)
- 5 メモリ制御部
- 6 A/D 変換部 (A/D 変換モジュール)
- 7 外部メモリ (SRAM)
- 8 先入先出バッファ部 (FIFO)
- 9 制御部
- 10 プログラムシーケンサ制御部
- 11 プログラムシーケンサ
- 12 プログラムメモリ
- 13 データメモリ
- 14 算術論理演算部 (演算処理部)
- 15 データアドレス発生部
- 16 プログラムメモリアドレスバス
- 17 プログラムメモリデータバス
- 18 データメモリアドレスバス
- 19 データメモリデータバス

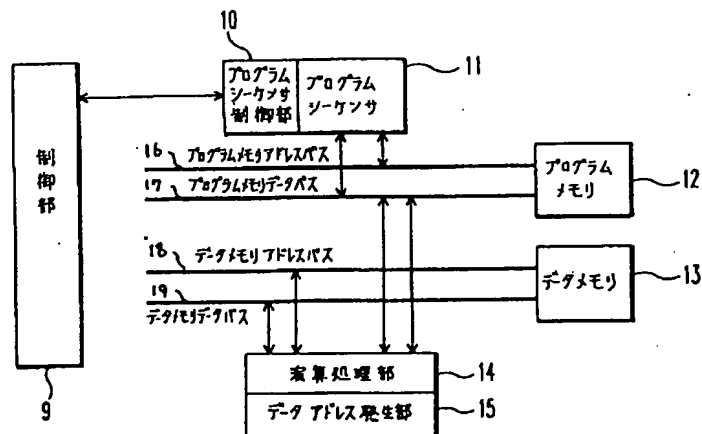
【圖 1】



【図 2】



【図 3】



フロントページの続き

(72) 発明者 権 純弘

大韓民国ソウル特別市鍾路区世宗路100番
地